

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-266019

(43)Date of publication of application : 28.09.1999

(51)Int.CI.

H01L 29/786
H01L 21/8238
H01L 27/092

(21)Application number : 10-067097

(71)Applicant : SHARP CORP

(22)Date of filing : 17.03.1998

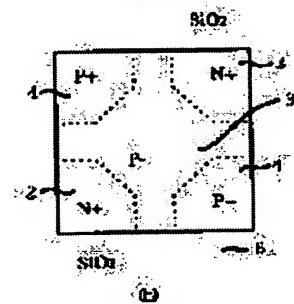
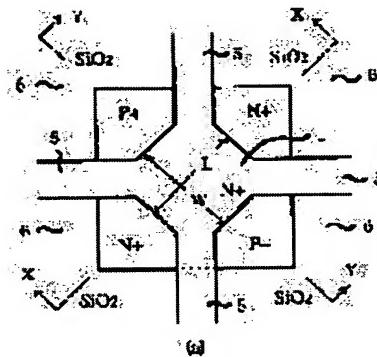
(72)Inventor : NISHIO OSAMU

(54) COMPLEMENTARY TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a complementary transistor of a constitution, wherein the structure and production process of the transistor are not complicated, the floating effect of a substrate is also inhibited, and moreover, the transistor is formed into a semiconductor on insulator(SOI) structure of a small area.

SOLUTION: A complementary transistor consists of an insulating film formed on a substrate, a channel region 3 formed on the insulating film, an active region consisting of N-type source and drain regions 2 and P-type source and drain regions 4, which are formed in such a way as to adjoin the region 3, a gate electrode 1, which is formed on the region 3 and is formed in the active region via a gate insulating film, and at least three lead-out parts 5, which are connected to the electrode 1 and are formed in such a way as to elongate outside across the active region. Thereby, a complementary transistor is constituted by forming an N-MOS transistor and a P-MOS transistor, which hold the region 3 and the gate electrode 1 in common.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

BEST AVAILABLE COPY

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention relates to a complementary transistor. Furthermore, this invention relates to the complementary transistor of the structure where both transistors share a channel field and a gate electrode, in detail in the complementary transistor which consists of the NMOS transistor and PMOS transistor of SOI structure (Semiconductor On Insulator: structure in which the semi-conductor film was formed on the insulator layer).

[0002]

[Description of the Prior Art] In recent years, detailed-izing and high integration of LSI progress, and the transistor from which the higher engine performance is obtained in a smaller area is examined. Among this, since the engine performance in which the power consumption at the time of actuation is high small moreover is obtained, in VLSI using a future detailed-ized process, as for a complementary transistor (henceforth a CMOS transistor), the logic using a CMOS transistor is considered to take the lead.

[0003] It is the new transistor with which, especially as for the transistor of SIMOX (separation by implanted oxygen) structure, examination came to be performed into it recently. The transistor of SIMOX structure is one sort of the semiconductor device of SOI structure. SIMOX structure is the layer in which oxygen was contained to general SOI structure being made from after a laminating or by sticking in semi-conductor layers, such as silicon of polycrystal or a single crystal, on an insulator layer by making the layer which carried out the ion implantation of the oxygen to the silicon substrate, and contained oxygen in the part with a depth of about 0.1-0.2 micrometers, and heat-treating a substrate after that SiO₂. It is made by making it change. For this reason, the about 0.05-0.1-micrometer thin silicon layer (semi-conductor layer: a transistor is formed here) of the front face of a silicon substrate is maintaining the same crystallinity as the original substrate, and it is the features that a quality silicon layer can be obtained.

[0004] Compared with the transistor on the conventional Si substrate, the transistor of SIMOX structure has unnecessary formation of a well, and has advantages, like that only a channel field can be formed and the field of each transistor is surrounded in the insulating material field of a small area, and isolation can be performed. Therefore, a production process is simple and, moreover, detailed-izing is possible. Moreover, with the CMOS transistor on the conventional silicon substrate, since the parasitism bipolar component which was not avoided is not formed, an unescapable latch up also has the advantage of not generating theoretically in a CMOS transistor. Furthermore, since the channel field is thin, an excessive depletion layer is not made at the time of actuation, but, moreover, high-speed operation is possible at a low consumption electrode. The transistor of the above features to SIMOX structure is one of the strong candidates as a transistor used for future LSI.

[0005] However, there is the substrate suspension effectiveness which will be generated as a phenomenon peculiar to the transistor of SIMOX structure if power-source potential becomes high. If the substrate suspension effectiveness occurs, actuation of a transistor cannot become unstable and it cannot use for a circuit. Therefore, a transistor can be used only in the range of the potential which the substrate suspension effectiveness does not generate. The substrate suspension effectiveness is a phenomenon peculiar to the transistor of SOI structure, and is remarkable in especially an NMOS

transistor. It explains taking the case of the NMOS transistor which shows this phenomenon to drawing 17 (a).

[0006] An NMOS transistor is N+. It has the source field 101 of a mold and the P type field 103 between the drain fields 102, and the gate electrode 105 formed through gate dielectric film 104 on this P type field 103. An NMOS transistor forms the layer (channel) in which potential can be made to be able to act on from the gate electrode 105, and an electron can flow, and passes a current between source drains. Here, an electron flows toward the drain field 102 from the source field 101 like the arrow head of drawing 17 (a). Moreover, since the electron has negative charge, a current flows from the drain field 102 to the source field 101 conversely. Thus, although the bearer of a current is mainly an electron in an NMOS transistor, the electron hole of an amount is generated a little by the electric field generated inside a substrate in fact. This electron hole moves in the inside of the P type field 103 according to the electric field inside a substrate rather than flows the channel between source drain fields. If it is the transistor formed on the usual substrate, since the P type field is connected to Rhine, such as GND, through contact (the potential of a P type field is fixed by it), finally the generated electron hole is discharged through the Rhine, and does not affect actuation of a transistor.

[0007] However, in the case of the transistor of SOI structure, the P type field 103 is surrounded by the insulator layer, and the part used as the entrance of the contact for fixing potential, i.e., an electron, and an electron hole does not exist. Therefore, the electron hole produced in the P type field 103 will continue remaining in the interior of a P type field. Of course, although there is also an electron hole which disappears by recombination with an electron in near a boundary with the interior of a P type field or a source drain field, when there are more electron holes generated rather than the disappearing electron hole, the electron holes in a P type field will increase in number (the reference number 106 of drawing 17 (a) means the electron hole which increased).

[0008] Although that electron holes increase in number to the P type field 103 makes the potential of the P type field 103 rise, this is equivalent to the substrate potential of a transistor changing. Therefore, the amount of currents which flows between source drain fields changes. If a drain current is plotted to the drain potential in this case, the vena contracta called a kink to a curve will be seen (refer to drawing 17 (b)).

[0009] When drain potential is low (substrate potential is equivalent to 0V), since there is little generating of an electron hole, a transistor performs the usual actuation, but the yield of an electron hole increases as drain potential rises. Therefore, the same effectiveness as substrate potential rose arises, a drain current increases, and since change of the amount of currents becomes remarkable in the boundary line, a kink occurs.

[0010] Also in the transistor of SOI structure, in especially the transistor of SIMOX structure, the semi-conductor layer on an insulator layer is as thin as 0.05-0.1 micrometers, and since the P type field is moreover made detailed, the substrate suspension effectiveness occurs more notably. For example, a kink arises [drain potential] even about 1-2V. Since it was unsuitable for actuation of a transistor becoming unstable and using in a circuit if a kink occurs, (power-source potential had to be about [1-2V]) to the potential in which a kink does not generate what can be used as TORAJISUTA, and this was the fault of the transistor of SIMOX structure. Therefore, in order to extend the available range of the transistor of SIMOX structure, it is a big technical problem to control the substrate suspension effectiveness.

[0011] In order to make easy to discharge the excessive carrier in (2) channel field which forms the contact for giving potential to (1) substrate as a cure for controlling the substrate suspension effectiveness, the approach of introducing the matter which acts as a trap so that the excessive carrier in (3) channel field which carries out the work on structures, such as using semiconductor materials other than silicon for a source drain field, may disappear is learn. However, when using these approaches, moreover the layout was complicated and area increased, the production process became complicated and the technical problem of cost increasing occurred.

[0012] On the other hand, there is a method of accumulating an NMOS transistor and a PMOS transistor perpendicularly as a technique for reducing the area of a complementary transistor (refer to JP,3-77363,A). According to this approach, either an NMOS transistor or a PMOS transistor is formed on a substrate by the approach as usual, and the complementary-type transistor is formed by

accumulating another transistor as a thin film transistor using polish recon etc. By this approach, since a gate electrode is sharable, the structure which the NMOS transistor and the PMOS transistor carried out the gate electrode back to back, and unified is formed. That is, although the transistor formed on a substrate is the usual transistor, the transistor formed on it serves as structure which has a gate electrode in the bottom.

[0013] Since the transistor was accumulated perpendicularly in the case of this structure, there was a problem that both a layout and a production process were complicated. Furthermore, since an NMOS transistor or a PMOS transistor turned into a transistor which has the channel field which consists of polish recon etc., there was a problem that electrical properties (the amount of currents etc.) were bad compared with the transistor formed into the substrate (silicon single crystal substrate).

[0014] As amelioration of the above-mentioned semiconductor device, the complementary transistor which shared the channel field superficially is indicated by JP,4-94275,A, without accumulating a transistor. The schematic diagram of the complementary transistor indicated by this official report is shown in drawing 18. As shown in drawing 18, the configuration of a source drain field (107 and 108) and a channel field makes magnitude of the gate electrode 109 larger than the channel field of the common area with the cross-joint mold.

[0015]

[Problem(s) to be Solved by the Invention] In drawing 18, when an NMOS transistor is observed, channel length is equivalent to L and channel width is equivalent to W. At this time, the magnitude of the actual gate electrode 109 must be $L \times W_G$, and its width of face must be wider than W. Moreover, the same thing can be said even if it observes a PMOS transistor. The gate electrode 109 with this wide width of face has a margin indispensable to those four corners, as long as this structure is used.

[0016] When the margin of the four corners of the gate electrode 109 is made small, it is N+ by gap of the alignment at the time of gate electrode formation. A field and P+ A field may connect too hastily and it may stop operating as a transistor. For this reason, when the above-mentioned structure tended to be reduced further and it was going to form a detailed transistor, un-arranging [that margins ran short] had arisen.

[0017]

[Means for Solving the Problem] Wholeheartedly, when the artificer of this invention etc. was a complementary transistor which has the following structure as a result of examination, structure and a production process did not become complicated, but the substrate suspension effectiveness was also controlled, and he found out that the complementary transistor of the SOI structure of small area could be offered further, and resulted in this invention.

[0018] The channel field which was formed in this way on the insulator layer formed on the substrate, and this insulator layer according to this invention, The active region which consists of the N type source drain field and P type source drain field which were formed so that this channel field might be adjoined, The gate electrode formed in the active region so that a channel field might be covered at least through gate dielectric film, The complementary transistor characterized by consisting of at least three formed drawer sections so that it may connect with this gate electrode and may extend across an active region, and consisting of an NMOS transistor between which the channel field and the gate electrode were shared, and a PMOS transistor is offered.

[0019]

[The mode of implementation of invention] First, especially the substrate that can be used for this invention is not limited, but each well-known substrate can be used for it. For example, a silicon substrate etc. is mentioned. Furthermore, an insulator layer is formed on a substrate, an NMOS transistor and a PMOS transistor are further formed on an insulator layer, and it becomes a CMOS transistor. In addition, the transistor of this structure is called the transistor of SOI structure.

[0020] The formation approach of an insulator layer can use each well-known approach. For example, after forming an insulator layer on a substrate, the approach of forming the barrier layer for transistor formation on an insulator layer with the epitaxial method, a CVD method, etc., the approach of forming an insulator layer by pouring in and heat-treating impurities, such as nitrogen or oxygen, in the depth of a request of a substrate, etc. are mentioned. In addition, by the latter approach, the barrier layer for transistor formation can also be formed on an insulator layer at

formation and coincidence of insulator layer. In addition, the CMOS transistor using the latter approach is called the transistor of SIMOX structure.

[0021] Here, when using a silicon substrate, a silicon nitride, silicon oxide, etc. are mentioned to an insulator layer.

*** NOTICES ***

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The insulator layer formed on the substrate, the channel field formed on this insulator layer, The active region which consists of the N type source drain field and P type source drain field which were formed so that this channel field might be adjoined, The gate electrode formed in the active region so that a channel field might be covered at least through gate dielectric film, The complementary transistor characterized by consisting of at least three formed drawer sections so that it may connect with this gate electrode and may extend across an active region, and consisting of an NMOS transistor between which the channel field and the gate electrode were shared, and a PMOS transistor.

[Claim 2] The complementary transistor of claim 1 by which a complementary transistor is used for an inverter circuit.

[Claim 3] The complementary transistor of claim 1 used for the circuit where two or more complementary transistors were used, and combined a NAND circuit, a NOR circuit, or them.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (a) is the outline top view of the CMOS transistor of this invention, and drawing 1 (b) is the outline top view which removed the gate electrode from the CMOS transistor of drawing 1 (a).

[Drawing 2] It is the X-X sectional view of the CMOS transistor of drawing 1 (a).

[Drawing 3] It is the Y-Y sectional view of the CMOS transistor of drawing 1 (a).

[Drawing 4] It is the graph which shows the electrical property of the CMOS transistor of drawing 1 (a).

[Drawing 5] It is the outline circuit diagram of the inverter circuit of the mode 1 of operation.

[Drawing 6] It is the outline top view of the inverter circuit of the mode 1 of operation.

[Drawing 7] It is the outline top view of the inverter circuit of the mode 2 of operation.

[Drawing 8] It is the outline top view of the inverter circuit of the mode 2 of operation.

[Drawing 9] It is the outline top view of the inverter circuit of the mode 3 of operation.

[Drawing 10] It is the outline circuit diagram of the inverter circuit of the mode 4 of operation.

[Drawing 11] It is the outline top view of the inverter circuit of the mode 4 of operation.

[Drawing 12] It is the outline circuit diagram of the inverter circuit of the mode 5 of operation.

[Drawing 13] It is the outline top view of the inverter circuit of the mode 5 of operation.

[Drawing 14] It is the outline circuit diagram of the inverter circuit of the modes 6 and 7 of operation.

[Drawing 15] It is the outline top view of the inverter circuit of the mode 6 of operation.

[Drawing 16] It is the outline top view of the inverter circuit of the mode 7 of operation.

[Drawing 17] It is the approximate account Fig. of the technical problem of the transistor of the conventional SIMOX structure.

[Drawing 18] It is the outline top view of the conventional CMOS transistor.

[Drawing 19] It is the outline top view of the inverter circuit using the CMOS transistor of drawing 18 .

[Drawing 20] It is the outline top view of the conventional 2 input NAND.

[Description of Notations]

1, 21, 22, 41, 42, 71, 72, 73, 105, 109 Gate electrode

2 4, 107, 108 Source drain field

3 Channel Field

5 Drawer Section

6 Insulating Layer

7, 104 Gate dielectric film

8 Insulator Layer

9 Silicon Substrate

10, 11, 24, 26, 27, 30, 44, 45, 48, 50, 75, 77, 79, 81, 82, 85, 102 Drain field

12, 13, 23, 25, 28, 29, 43, 46, 47, 49, 74, 76, 78, 80, 83, 84, 101 Source field

14, 31, 51, 91, 110 Contact

15, 32, 52, 92, 111 Wiring

103 P Type Field

[Translation done.]

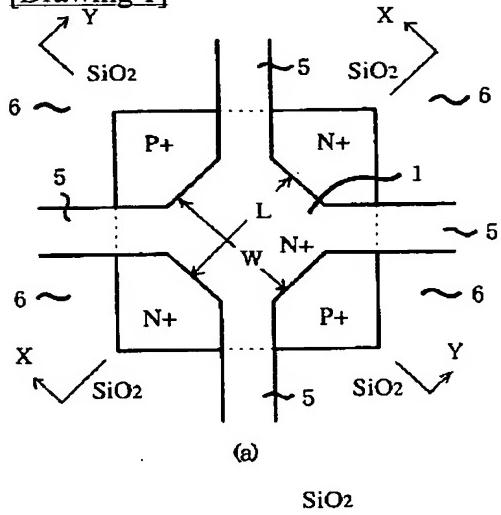
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

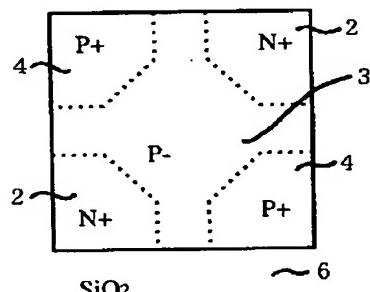
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

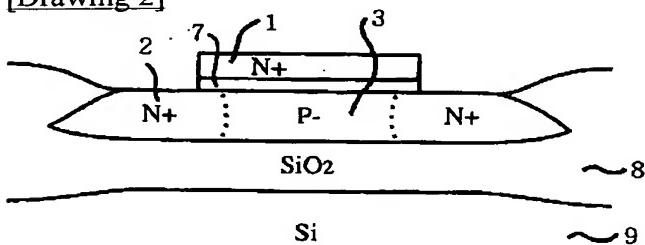


(a)

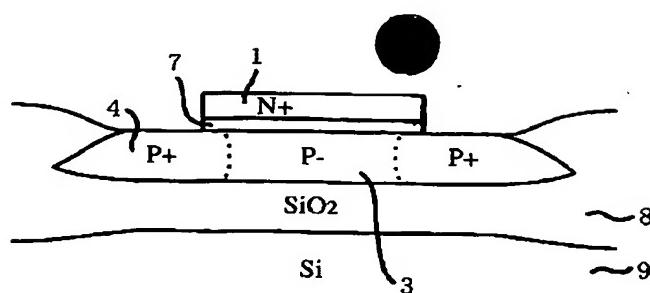
 SiO_2 

(b)

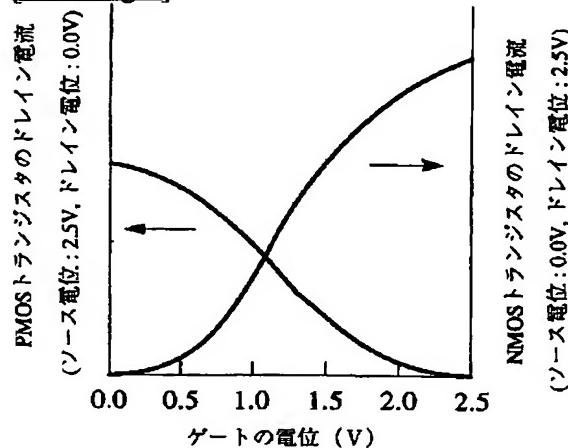
[Drawing 2]



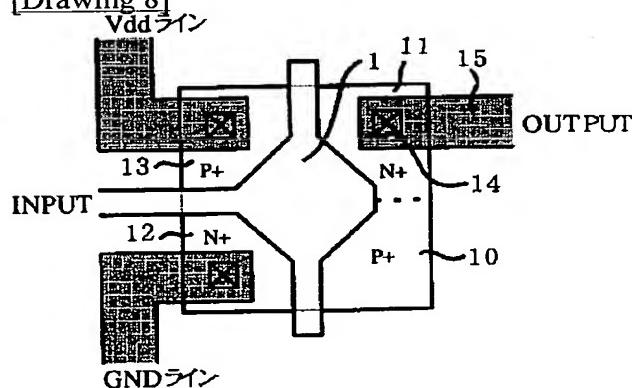
[Drawing 3]



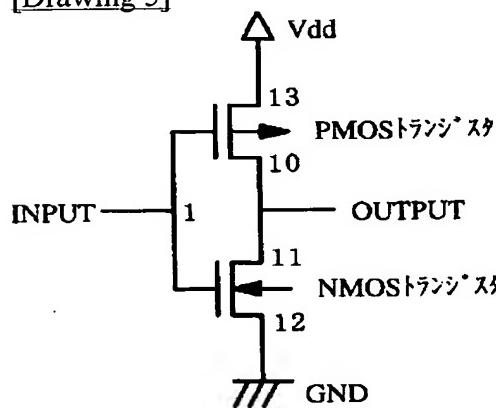
[Drawing 4]



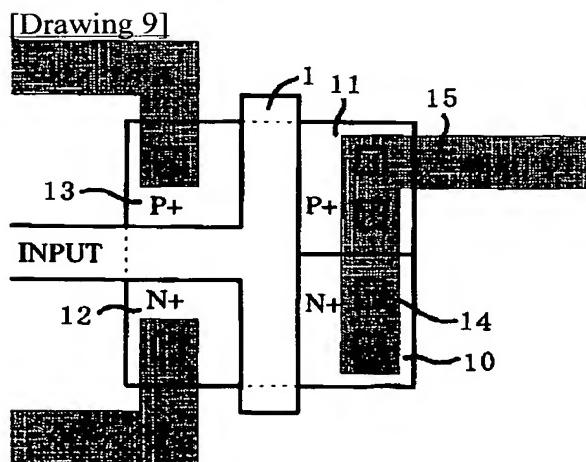
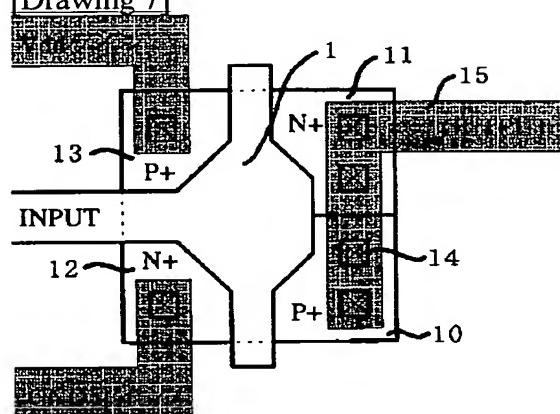
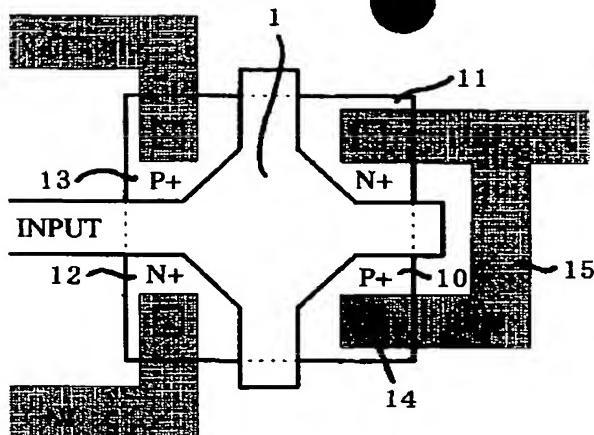
[Drawing 8]



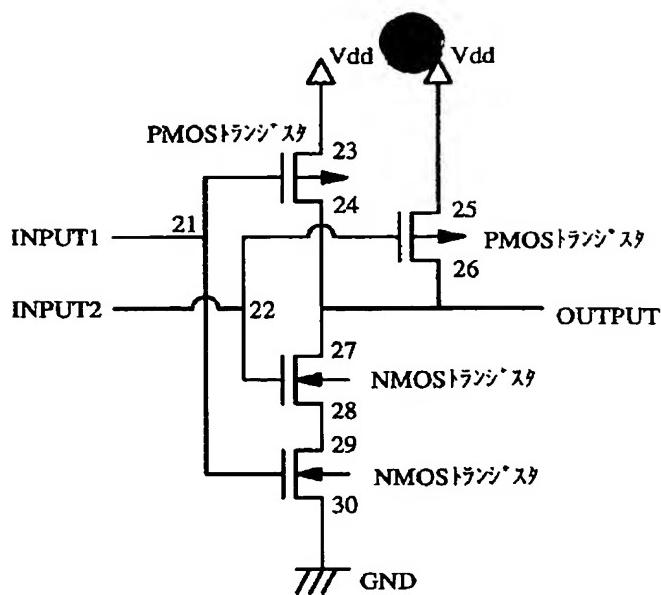
[Drawing 5]



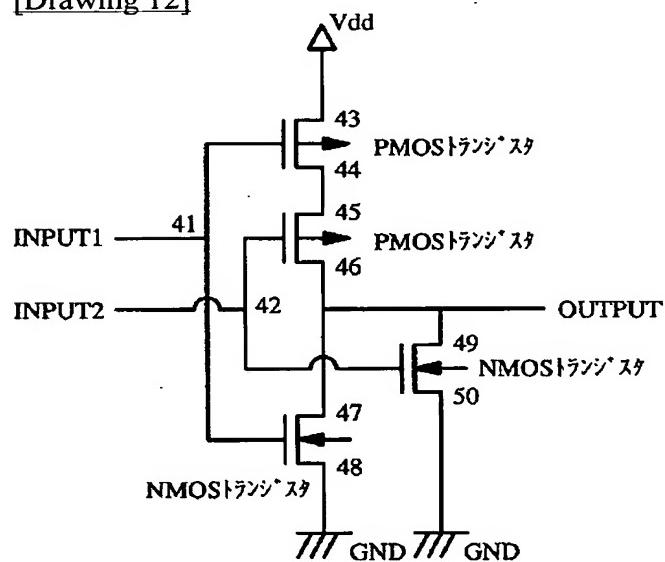
[Drawing 6]



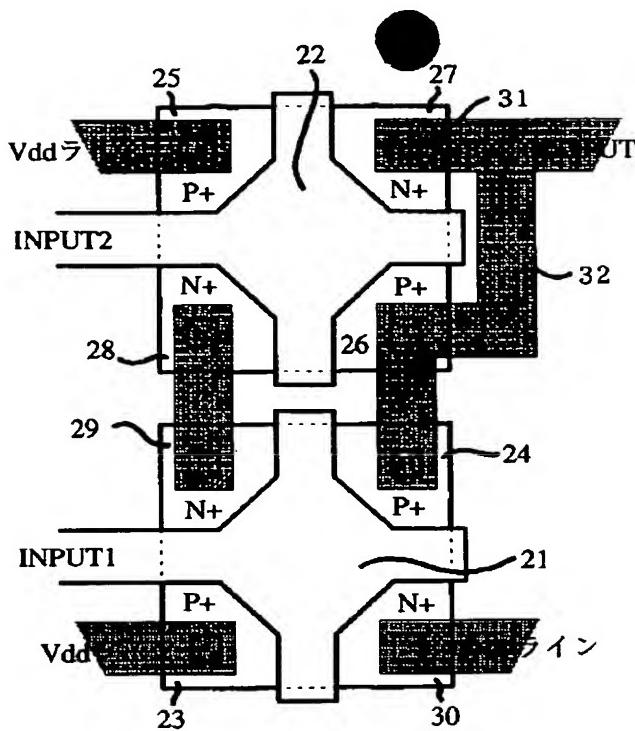
[Drawing 10]



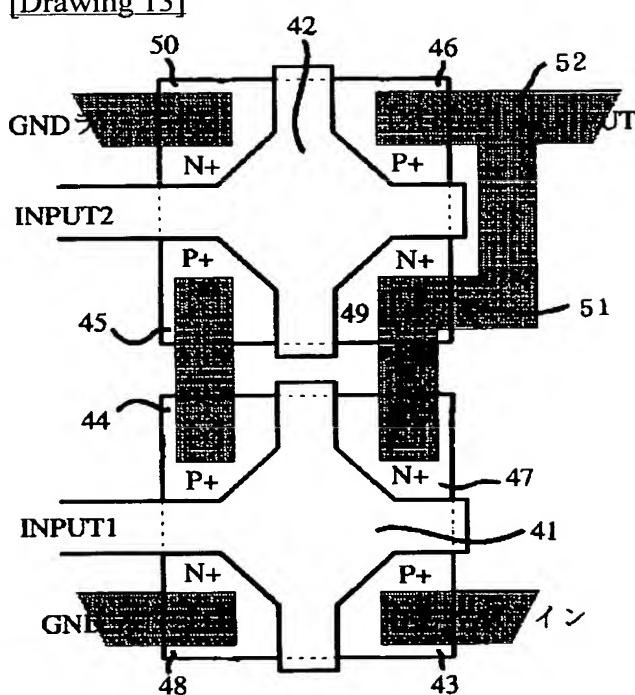
[Drawing 12]



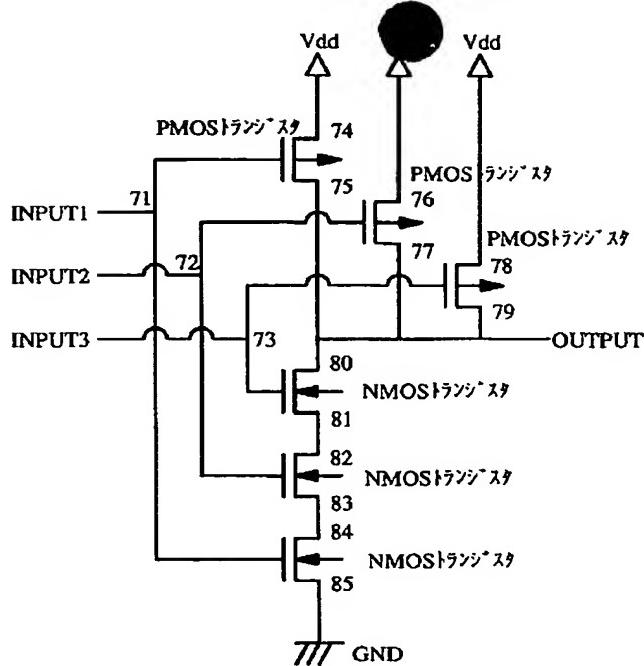
[Drawing 11]



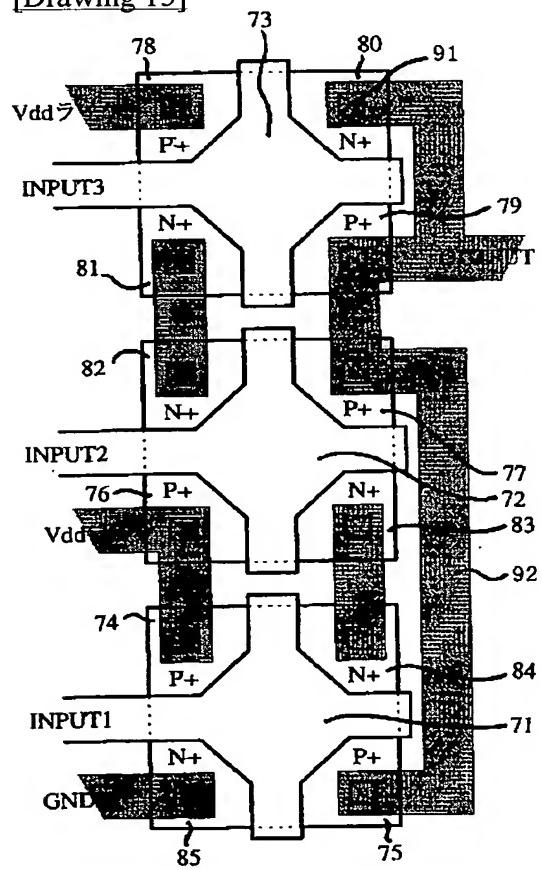
[Drawing 13]



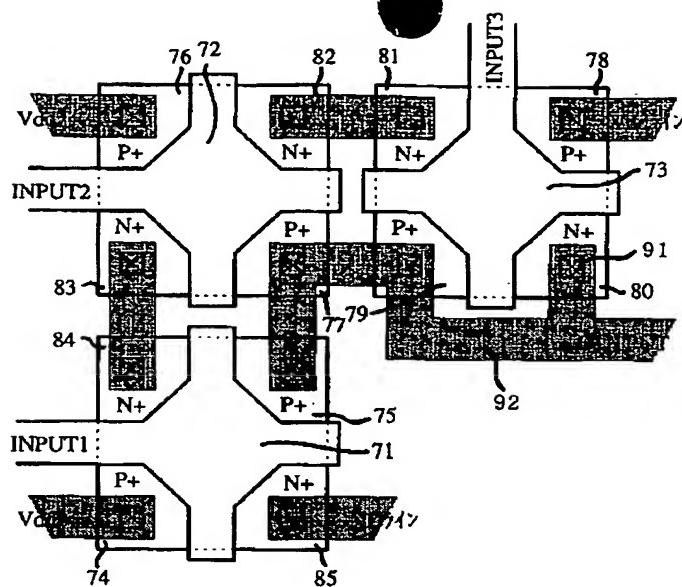
[Drawing 14]



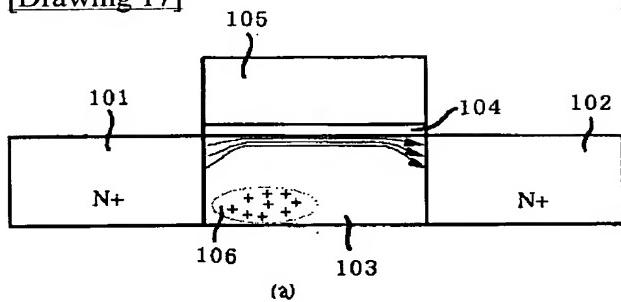
[Drawing 15]



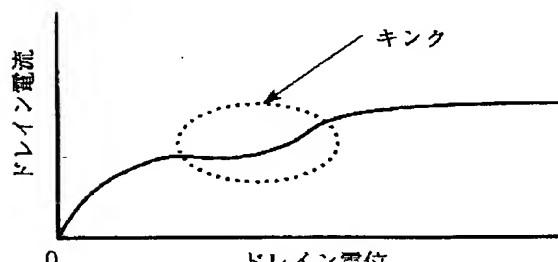
[Drawing 16]



[Drawing 17]

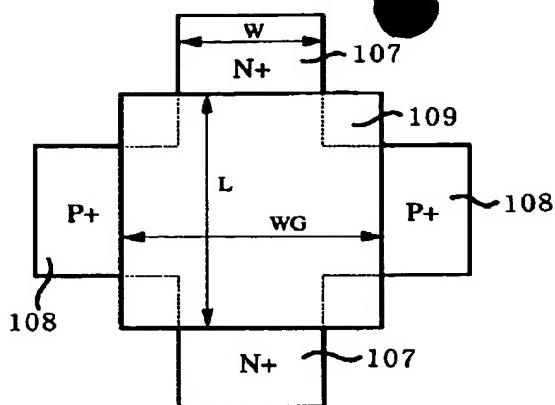


(a)

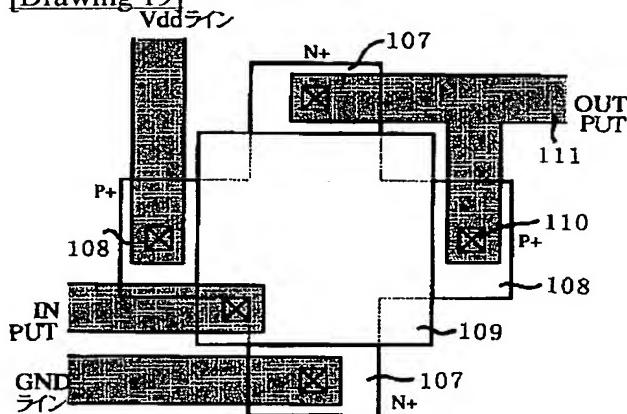


(b)

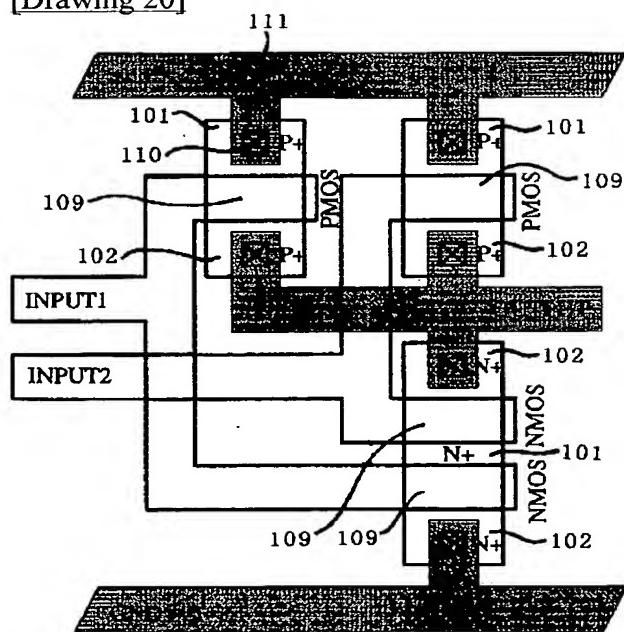
[Drawing 18]



[Drawing 19]



[Drawing 20]



[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-266019

(43) 公開日 平成11年(1999)9月28日

(51) Int.Cl.⁶
H 01 L 29/786
21/8238
27/092

識別記号

F I
H 01 L 29/78
27/08
6 1 3 A
3 2 1 D

審査請求 未請求 請求項の数3 O.L. (全12頁)

(21) 出願番号 特願平10-67097

(22) 山願日 平成10年(1998)3月17日

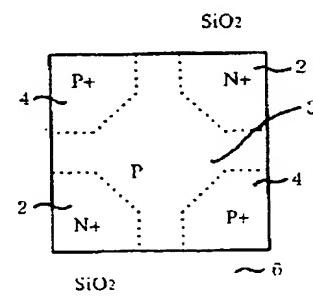
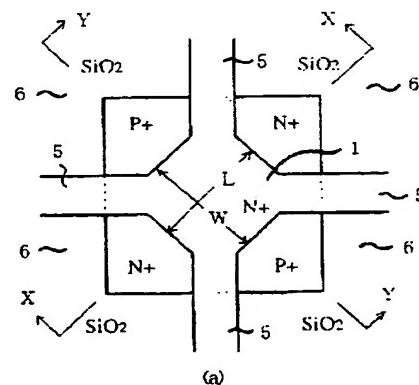
(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72) 発明者 西尾 修
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 相補型トランジスタ

(57) 【要約】

【課題】 枠造及び製造工程が複雑にならず、基板浮遊効果も抑制され、更に小面積のSOI構造の相補型トランジスタを提供することを課題とする。

【解決手段】 基板上に形成された絶縁膜、該絶縁膜上に形成されたチャネル領域3、該チャネル領域3に隣接するように形成されたN型ソース・ドレイン領域2及びP型ソース・ドレイン領域4とからなる活性領域、該チャネル領域3上かつ活性領域内にゲート絶縁膜を介して形成されたゲート電極1、該ゲート電極1に接続され活性領域を越えて延出するように形成された少なくとも3つの引き出し部5とからなることにより、チャネル領域3及びゲート電極1を共有したNMOSトランジスタとPMOSトランジスタが形成されてなることを特徴とする相補型トランジスタ



【特許請求の範囲】

【請求項1】 基板上に形成された絶縁膜、該絶縁膜上に形成されたチャネル領域、該チャネル領域に隣接するように形成されたN型ソース・ドレイン領域及びP型ソース・ドレイン領域とからなる活性領域、ゲート絶縁膜を介して少なくともチャネル領域を覆うようにかつ活性領域内に形成されたゲート電極、該ゲート電極に接続され活性領域を越えて延出するように形成された少なくとも2本の引き出し部とからなり、チャネル領域及びゲート電極が共有されたNMOSトランジスタとPMOSトランジスタとからなることを特徴とする相補型トランジスタ。

【請求項2】 相補型トランジスタが、インバー回路に用いられる請求項1の相補型トランジスタ。

【請求項3】 相補型トランジスタが、2個以上用いられ、かつ、NAND回路、NOR回路又はそれらを組み合わせた回路に用いられる請求項1の相補型トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、相補型トランジスタに関する。更に詳しくは、本発明は、SOI構造(Semiconductor On Insulator: 絶縁膜上に半導体膜を形成した構造)のNMOSトランジスタとPMOSトランジスタからなる相補型トランジスタにおいて、両トランジスタがチャネル領域及びゲート電極を共有する構造の相補型トランジスタに関する。

【0002】

【従来の技術】 近年、LSIの微細化及び高集積化が進み、より小さい面積でより高い性能の得られるトランジスタが検討されている。この内、相補型トランジスタ(以下、CMOSトランジスタともいう)は、動作時の消費電力が小さく、しかも高い性能が得られることから、今後の微細化プロセスを用いたVLSIにおいては、CMOSトランジスタを用いたロジックが中心となると考えられる。

【0003】 その中において、特に、SIMOX(separation by implanted oxygen)構造のトランジスタは、最近検討が行われるようになった新しいトランジスタである。SIMOX構造のトランジスタは、SOI構造の半導体装置の1種である。一般的なSOI構造が絶縁膜の上に多結晶又は単結晶のシリコン等の半導体層をあとから積層又は貼付することによって作られるのに対し、SIMOX構造は、例えばシリコン基板に酸素をイオン注入して深さ約1~0.2μm程度の部分に酸素を含んだ層を作り、その後基板を熱処理することにより酸素の含まれた層をSiO₂に変化させることによって作られる。このため、シリコン基板の表面の約0.5~0.1μm程度の薄いシリコン層(半導体層: ここにトランジスタが形成される)は元の基板と同じ結晶性を保って

おり、品質の良いシリコン層を得られるのが特長である。

【0004】 SIMOX構造のトランジスタは、従来のSOI基板上のトランジスタに比べて、ウエルの形成が不要でチャネル領域のみを形成可能であること、各トランジスタの領域を小さな面積の絶縁物領域で取り囲み素子分離を行えること等の利点がある。そのため、製造工程が単純で、しかも微細化が可能である。また、従来のシリコン基板上のCMOSトランジスタでは避けられなかつ寄生バイオーラ素子等が形成されないことから、CMOSトランジスタに不可避なラッチアップ現象が原理的に発生しない等の利点もある。更に、チャネル領域が薄いことから、動作時に余分な空乏層ができない、低消費電極でしかも高速動作が可能である。以上のような特長から、SIMOX構造のトランジスタは今後のLSIに使用されるトランジスタとして、有力な候補の1つである。

【0005】 ところが、SIMOX構造のトランジスタに特有な現象として、電源電位が高くなると発生する基板浮遊効果がある。基板浮遊効果が発生すると、トランジスタの動作が不安定となり、回路に用いることができない。そのため、基板浮遊効果が発生しない電位の範囲でしかトランジスタを用いることができない。基板浮遊効果はSOI構造のトランジスタに特有の現象であり、特にNMOSトランジスタにおいて顕著である。この現象を図17(a)に示すNMOSトランジスタを例にとって説明する。

【0006】 NMOSトランジスタは、N型のソース領域101及びドレイン領域102の間のP型領域103と、このP型領域103上にゲート絶縁膜104を介して形成されたゲート電極105とを有している。NMOSトランジスタは、ゲート電極105から電位を作用させて電子の流れることのできる層(チャネル)を形成してソース・ドレイン間に電流を流す。ここで、電子は図17(a)の矢印のようにソース領域101からドレイン領域102に向かって流れれる。また、電子は負の電荷を持っているため、電流は逆にドレイン領域102からソース領域101へと流れれる。このようにNMOSトランジスタにおいては主として電流の扱い手は電子であるが、実際には基板内部に発生する電界によって、若干量の正孔が生じている。この正孔は、ソース・ドレイン領域間のチャネルを流れることではなく、基板内部の電界に従ってP型領域103内を移動する。通常の基板上に形成されたトランジスタであれば、P型領域はコンタクトを通じてGND等のラインに接続されている(それによってP型領域の電位を固定している)ため、発生した正孔は最終的にはそのラインを通して排出され、トランジスタの動作に影響を及ぼさない。

【0007】 ところが、SOI構造のトランジスタの場合、P型領域103は絶縁膜によって囲まれており、電

位を固定するためのコンタクト、すなわち電子や正孔の出入りとなる箇所が存在しない。そのため、P型領域103内に生じた正孔はP型領域内部にとどまり続けることになる。もちろん、P型領域内部又はソース・ドレイン領域との境界付近において電子との再結合によって消滅する正孔もあるが、消滅する正孔よりも発生する正孔の方が多い場合にはP型領域内の正孔が増えることになる(図17(a)の参照番号106は増加した正孔を意味する)。

【0008】P型領域103に正孔が増えることは、P型領域103の電位を上昇させることになるが、これはトランジスタの基板電位が変化することに相当する。そのため、ソース・ドレイン領域間を流れる電流量が変化する。この際のドレイン電位に対してドレイン電流をプロットすると、曲線にキンクと呼ばれるくびれが見られる(図17(b)参照)。

【0009】ドレイン電位が低い場合(基板電位が0Vに相当する)は、正孔の発生が少ないのでトランジスタは通常の動作を行うが、ドレイン電位が上昇するに従って正孔の発生量が多くなる。そのため、基板電位が上昇したのと同じ効果が生じて、ドレイン電流が増加し、その境目において電流量の変化が著しくなるためキンクが発生する。

【0010】SOI構造のトランジスタの中でも、特にSIMOX構造のトランジスタにおいては、絶縁膜上の半導体層が0.05~0.1μmと薄く、しかもP型領域が微細化されているため、基板浮遊効果がより顕著に発生する。例えば、ドレイン電位が1~2V程度でもキンクが生じる。キンクが発生するとトランジスタの動作が不安定となり回路内で用いるには不適切であるため、トランジスタとして用いることが可能なのはキンクが発生しない電位まで(電源電位が1~2V程度)でなければならず、このことがSIMOX構造のトランジスタの欠点であった。従って、SIMOX構造のトランジスタの利用可能範囲を拡張するために、基板浮遊効果を抑制することは、大きな課題である。

【0011】基板浮遊効果を抑制するための対策としては、(1)基板に電位を与えるためのコンタクトを設ける、(2)チャネル領域内の余分なキャリアを排出しやすくするために、ソース・ドレイン領域にシリコン以外の半導体材料を用いる等の構造上の工夫をする、(3)チャネル領域内の余分なキャリアが消滅するようにトランジストとして作用する物質を導入する等の方法が知られている。しかしながら、これらの方法を用いれば、レイアウトが複雑化して面積が増大する、また、製造工程が複雑になりコストが増大する等の課題があった。

【0012】一方、相補型トランジスタの面積を縮小するための技術として、NMOSトランジスタ及びPMOSトランジスタを縦に積み重ねる方法がある(特開平3-773619号参照)。この方法によれば、NMOSト

ランジスタ又はPMOSトランジスタのいずれか一方を、従来通りの方法で基板上に形成し、もう一方のトランジスタをホリシリコン等を用いた薄膜トランジスタとして積み重ねることにより相補型トランジスタが形成されている。この方法では、ゲート電極を共有できるため、NMOSトランジスタとPMOSトランジスタとがゲート電極を背中合わせにして一体化した構造が形成される。すなわち、基板上に形成されるトランジスタは通常のトランジスタであるが、その上に形成されるトランジスタはゲート電極が下側にある構造となる。

【0013】この構造の場合、トランジスタを縦に積み重ねているため、レイアウト及び製造工程の両方が複雑化するという問題があった。更に、NMOSトランジスタとPMOSトランジスタのいずれか一方が、ホリシリコン等からなるチャネル領域を有するトランジスタとなるため、基板(シリコン単結晶基板)中に形成されたトランジスタに比べて電気特性(電流量等)が悪いという問題があった。

【0014】上記半導体装置の改良として、トランジスタを積み重ねずに、平面的にチャネル領域を共有した相補型トランジスタが、特開平4-94275号公報に記載されている。この公報に記載された相補型トランジスタの概略図を図18に示す。図18に示すように、ソース・ドレイン領域(107及び108)及びチャネル領域の構成が十字型で、ゲート電極109の大きさは、その共有部分のチャネル領域より大きくなっている。

【0015】

【発明が解決しようとする課題】図18において、NMOSトランジスタに注目すると、チャネル長はL、チャネル幅はWに相当する。この時、実際のゲート電極109の大きさはL-WGであり、必ずWよりも幅が広くなければならない。また、PMOSトランジスタに注目しても同様のことが言える。この幅の広いゲート電極109は、この構造を用いる限り、その四隅にマージンが不可欠である。

【0016】もし、ゲート電極109の四隅のマージンを小さくすると、ゲート電極形成時のアライメントのずれによって、N+領域とP+領域とが短絡してトランジスタとして動作しなくなる可能性がある。このため、上記構造を更に縮小して微細なトランジスタを形成しようとすると、マージンが不足するという不都合が生じていた。

【0017】

【課題を解決するための手段】本発明の発明者等は、銳意検討の結果、下記の構造を有する相補型トランジスタであれば、構造及び製造工程が複雑にならず、基板浮遊効果も抑制され、更に小面積のSOI構造の相補型トランジスタを提供できることを見いだし本発明に至った。

【0018】かくして本発明によれば、基板上に形成された絶縁膜、該絶縁膜上に形成されたチャネル領域、即

チャネル領域に隣接するように形成されたN型ソース・ドレイン領域及びP型ソース・ドレイン領域とからなる活性領域、ゲート絶縁膜を介して少なくともチャネル領域を覆うようにかつ活性領域内に形成されたゲート電極、該ゲート電極に接続され活性領域を越えて延出するよう形成された少なくとも3本の引き出し部とからなり、チャネル領域及びゲート電極が共有されたNMOSトランジスタとPMOSトランジスタとからなることを特徴とする補助型トランジスタが提供される。

【0019】

【発明の実施の態様】まず、本発明に使用することができる基板は、特に限定されず、公知の基板をいずれも使用することができる。例えば、シリコン基板等が挙げられる。更に、基板上には絶縁膜が形成され、更に絶縁膜上にNMOSトランジスタとPMOSトランジスタが形成されてCMOSトランジスタとなる。なお、この構造のトランジスタは、SOI構造のトランジスタと称される。

【0020】絶縁膜の形成方法は、公知の方法をいずれも使用することができる。例えば、基板上に絶縁膜を形成した後、エピタキシャル法、CVD法等により絶縁膜上にトランジスタ形成用の活性層を形成する方法や、基板の所望の深さに窒素又は酸素等の不純物を注入し、熱処理することにより絶縁膜を形成する方法等が挙げられる。なお、後者の方法では、絶縁膜の形成と同時に、絶縁膜上にトランジスタ形成用の活性層も形成することができる。なお、後者の方法を利用したCMOSトランジスタは、SIMOX構造のトランジスタと称される。

【0021】ここで、絶縁膜には、シリコン基板を使用する場合、シリコン窒化膜、シリコン酸化膜等が挙げられる。また、活性層は、所望に応じて、不純物を注入することにより、P型又はN型の導電性を有していてよい。P型の導電性を与える不純物としては、ホウ素等が挙げられ、N型の導電性を与える不純物としては、リン、砒素等が挙げられる。

【0022】次に、活性層上のチャネル領域の形成を所望する領域上にゲート電極が形成される。本発明において、ゲート電極は、該チャネル領域上を覆うように、かつ、N型ソース・ドレイン領域及びP型ソース・ドレイン領域の形成を所望する領域内にゲート絶縁膜を介して形成される。更に、ゲート電極は、該ゲート電極に接続され活性領域を越えて延出するよう形成された少なくとも3本の引き出し部を有している。ここで、ゲート電極と引き出し部とは別々に形成してもよいが、同時に形成することが好ましい。なお、ゲート電極及び引き出し部は、シリコン、シリサイド、金属、合金等の材料から構成される。

【0023】次いで、ゲート電極及び引き出し部をマスクとして、活性層に不純物を注入することにより、N型ソース・ドレイン領域及びP型ソース・ドレイン領域を

形成することができる（この領域を活性領域と称する）。なお、P型の導電性を与える不純物としては、ホウ素等が挙げられ、N型の導電性を与える不純物としては、リン、砒素等が挙げられる。更に、N型ソース・ドレイン領域及びP型ソース・ドレイン領域は、NMOSトランジスタとPMOSトランジスタが交差するように配置されていてもよく、平行になるように配置されていてもよい。上記方法により本発明のCMOSトランジスタを形成することができる。

【0024】以下に、本発明を実施の態様により更に詳細に説明する。

実施の態様1

図1(a)及び(b)に示した、本発明によるCMOSトランジスタにおいては、NMOSトランジスタとPMOSトランジスタのチャネル領域3及びゲート電極1とが共有化された構造となっている。ここで、図1(b)は、図1(a)においてゲート電極1を取り去った図であり、実施の態様1では、CMOSトランジスタ領域は、略正方形の平面形状を有している。

【0025】ソース・ドレイン領域2間のNMOSトランジスタのP型のチャネル領域3に、PMOSトランジスタのソース・ドレイン領域4が接しており、それらソース・ドレイン領域4は当然コンタクトを通して接続が存在する。また、ゲート電極1には4方向から引き出し部5が設けられている。更に、CMOSトランジスタは、絶縁層6により分離されている。

【0026】図1(a)において、NMOSトランジスタのチャネル長はL、チャネル幅はW(PMOSトランジスタはこの逆)であり、ゲート電極の形状からそのままトランジスタのチャネル長及びチャネル幅を決定することができる。また、図1(a)の構造の場合、ゲート電極と引き出し部から構成される十字型を利用してトランジスタを自己整合で形成するため、ゲート電極形成時のアライメントのずれによるトランジスタ性能の変動が小さく、微細なトランジスタを形成しようとする場合にも問題が生じない。

【0027】ここで、図1(a)の構造では、コンタクトを介した接続から基板内部の過剰な正孔を排出することができるため、上記の基板浮遊効果が発生しない。従って、SIMOX構造のトランジスタの欠点であった電気特性におけるキックが生じないため、幅広い電位で安定した動作を得ることができる。また、PMOSトランジスタとしての動作中には同様にして基板領域に電子が発生すると考えられるが、本発明においては、その場合についてもNMOSのソース・ドレイン領域に相当するN型領域がチャネル領域に接しているため、過剰な電子が排出され、PMOSトランジスタについても同様に安定した動作が得られる。

【0028】また、図1(a)及び(b)のCMOSトランジスタは、ゲート電極及びその下部にあるチャネル

領域が1つである。更に、チャネル領域を四方から取り囲むようにP型及びN型ソース・ドレイン領域が配置されている。図1(a)及び(b)では、チャネル領域は低濃度のP型領域とし、ゲート電極の材料としてはN型ポリシリコンを用いているが、これに限らず、チャネル領域として低濃度のN型領域を用い、ゲート電極の材料としてP型ポリシリコンを用いることも可能である。また、SIMON構造の場合、チャネル部分の厚さが非常に薄い(0.05μm~0.1μm)ため、チャネル領域には不純物を注入してもしなくてよい。

【0029】この素子においては、ゲート電極の電位が高い場合には、図2の断面(図1のX-X断面を示す)のように、図1(a)の右上及び左下のN型領域の間に、電子の流れる領域(チャネル領域)が形成される。一方、ゲート電極の電位が低い場合には、図3の断面(図1のY-Y断面を示す)のように、図1の左上及び右下のP型領域の間に正孔の流れる領域(チャネル領域)が形成される。なお、図中、7はゲート絶縁膜、8は絶縁膜、9はシリコン基板を示す。

【0030】なお、チャネル領域としてP型領域を用いた場合、図1(a)の左上から右下にかけてはP⁺領域-P領域-P⁺領域が並び、このままでは電流が常時流れるようにも考えられる。しかし、ゲート電極の材料として、N⁺型の導電型を有するポリシリコンを用いれば、チャネル領域とゲート電極との仕事関数の関係から、ノーマリオフ(ゲートがソースと同電位の場合には電流が流れない)トランジスタとすることができます。なお、チャネル領域としてN型領域を用い、ゲート電極としてP⁺ポリシリコンを用いた場合も前記と同じように、ノーマリオフトランジスタとすることができます。

【0031】従って、図1(a)のCMOSでは、右上から左下にかけて斜めにNMOSトランジスタがあり、左上から右下にかけて斜めにPMOSトランジスタがあると考えることができる。この図1(a)のCMOSでは、図4に示した電気特性のグラフの通り、ゲート電極の電位の高低によってNMOSトランジスタ又はPMOSトランジスタの一方のみが導通状態となり、ゲート電極の電位が高から低、低から高へ変化している途中の過程を除いて、両方のトランジスタが同時に導通状態となることはない。なお、図4では、電源電圧を2.5Vとした場合の結果を示しており、ゲート電極の電位が0Vの場合はPMOSトランジスタのみに電流が流れ、ゲート電極の電位が2.5Vの場合はNMOSトランジスタのみに電流が流れ。

【0032】このように、ゲート及びチャネル領域をNMOSトランジスタとPMOSトランジスタとで共通とすることによってアライメントマージンが不要な小さな面積でCMOSトランジスタが実現できる。次に、CMOSトランジスタの動作を考えるために、CMOSトランジスタによる最も簡単な回路であるインバータについて

て考察する。インバータの回路図は図5に示すように、PMOSトランジスタとNMOSトランジスタとからなる。

【0033】両トランジスタのゲート電極1には同じ信号(すなわち電位が高いか又は低い)が入力され、その結果として両者のドレイン領域10及び11に接続された端子から反転した信号が outputされる。ゲート電極の電位が高い(通常はVdd(電源電位)と同じ)場合には、図5の下側のNMOSトランジスタが導通状態にあり、上側のPMOSトランジスタは導通状態にないため、ドレイン領域10及び11に接続された端子は、NMOSトランジスタのソース領域12に接続された端子と同じくGND電位となる。

【0034】逆に、ゲート電極の電圧が低い(通常はGND電位と同じ)場合には、図5の上側のPMOSトランジスタが導通状態にあり、下側のNMOSトランジスタが導通状態にないため、ドレイン領域10及び11に接続された端子は、PMOSトランジスタのソース領域13に接続された端子と同じくVdd電位となる。このように、本実施の態様のCMOSトランジスタを使用したインバータ回路においては、入力電位が、低電位から高電位へ変化したり、高電位から低電位へ変化しつつある過渡的な状態を除いて、必ずPMOSトランジスタ及びNMOSトランジスタの一方のみが導通状態で、他方は非導通状態となる。

【0035】更に、実施の態様1の構造においては、ゲート電極に電位を与えるための配線を、上下左右の四方に取り出しができる。そのため、実施の態様1の構造を多数用いた回路を設計(レイアウト)する際に、自由度の高い配線・配線を行うことができる。従って、この面からもLSI全体の面積を縮小することが可能となる。

【0036】実施の態様1のCMOSトランジスタを利用して、インバータを構成した例を図6に示す。ここでは左上のP⁺領域がPMOSトランジスタのソース領域13としてVddラインにコンタクト1-1を介して接続されている。また、左下のN⁺領域がNMOSトランジスタのソース領域としてGNDラインにコンタクト1-4を介して接続されている。更に、右上のN⁺領域及び右下のP⁺領域は、それぞれNMOSトランジスタ及びPMOSトランジスタのドレイン領域(10及び11)としてコンタクト1-2を介して接続され、出力端子(0.1TPUT)を形成している。このインバータでは、NMOSトランジスタ及びPMOSトランジスタは点対称である。なお、両トランジスタのソース領域及びドレイン領域は交換可能であるため、この例以外の接続方法也可能であり、また、ゲート電極への端子の接続についても、図6の左側からの他に上側、下側、右側からも可能である。なお、図6中、1-4は配線を示す。

【0037】実施の態様2

ゲート電極の右側の引き出し部をカットし、NMOSトランジスタ及びPMOSトランジスタのドレイン領域が直接接続する構造となっていること以外は実施の態様1と同様にしたインバーターを図7に示す。この実施の態様では、実施の態様1に比べて出力端子(OUTPUT)に必要な領域が少なくてすむ。但し、N⁺領域とP⁺領域とを接続しただけではPN接合が形成されて、両者の間に整流性が生じてしまう。

【0038】これを防ぐため、例えば、自己整合シリサイドプロセスを利用して、金属又はシリサイド等の電気抵抗を低くするための材料をN⁺及びP⁺領域上に載せた場合を図8に示す。図8に示すように、NMOSトランジスタ及びPMOSトランジスタのドレイン領域を直接電気的に接続することができるため、片方のドレイン領域から出力端子を引き出すことができる。この場合、設計の自由度が更に向上し、占有面積も更に減少させることができる。

【0039】実施の態様3

さらに、図1(a)と比較して、NMOSトランジスタ及びPMOSトランジスタのドレイン領域を交換した例を図9に示す。この図では、上側にPMOSトランジスタ、下側にNMOSトランジスタが形成されており、厳密にはチャネル領域及びゲート電極を共有していることはならない。しかしながら、動作時においては、ゲート電極下全体がチャネル領域となるため、実際にP⁺領域又はN⁺領域がゲート電極と接している幅よりも広い領域に電流を流すことができる。また、基板浮遊効果の抑制についても実施の態様1と同じである。

【0040】比較例1

特開平4-94275号公報に記載されたCMOSトランジスタを利用して、インバータを構成した例を図19に示す。図19と図6を比較すれば明らかのように、本発明のCMOSトランジスタによれば、占有面積を小さくすることができる。図中、110はコンタクト、111は配線を示す。

【0041】実施の態様4

図10の2入力NAND回路を本発明のCMOSトランジスタでレイアウトした概略平面図を図11に示す。以下に、図11の2入力NAND回路の概略平面図を例にとって説明する。図11のNAND回路は、実施の態様1の2個のCMOSトランジスタを接続することにより形成されている。

【0042】図10では、2個のNMOSトランジスタが直列となっていることから、2個のCMOSトランジスタのソース領域(N⁺領域、28及び29)を対向するように配置し配線32で接続する。28及び29以外の2つのN⁺領域(ドレイン領域、27及び30)については、一方(30)をGNDラインに接続し、他方(27)を出力端子(OUTPUT)に接続する。

【0043】図10では、2個のPMOSトランジスタ

が並列となっていることから、2個のCMOSトランジスタのソース領域(P⁺領域、23及び25)をVddラインに配線32で接続する。23及び25以外の2つのP⁺領域(ドレイン領域、24及び26)については、共にドレイン領域27及び出力端子(OUTPUT)に接続する。

【0044】図11から判るように、配線32は交差しておらず、更に、CMOSトランジスタの占める面積に比べて、配線の占める面積を小さくすることができる。従って、実施の態様4の配置は、効率のよい配置といえる。なお、INPUT1及びINPUT2は、いずれも左側からゲート電極21及び22に接続しているが、INPUT1については下方及び右側から、INPUT2については上方及び右側からも接続することができる。従って、周囲の状況に応じてフレキシブルに配線でき、配管効率を向上させることができるとなる。

【0045】実施の態様5

図12の2入力NOR回路を本発明のCMOSトランジスタでレイアウトした概略平面図を図13に示す。以下に、図13の2入力NOR回路の概略平面図を例にとって説明する。図13のNOR回路は、実施の態様1の2個のCMOSトランジスタを接続することにより形成されている。

【0046】図12では、2個のPMOSトランジスタが直列となっていることから、2個のCMOSトランジスタのドレイン領域(P⁺領域、44及び45)を対向するように配置し配線52で接続する。44及び45以外の2つのP⁺領域(ソース領域、43及び46)については、一方(43)をVddラインに接続し、他方(46)を出力端子(OUTPUT)に接続する。

【0047】図12では、2個のNMOSトランジスタが並列となっていることから、2個のCMOSトランジスタのドレイン領域(N⁺領域、48及び50)を配線52でGNDラインに接続する。48及び50以外の2つのN⁺領域(ソース領域、47及び49)については、共にソース領域46及び出力端子(OUTPUT)に接続する。図13中、41及び42はゲート電極、51はコンタクトを示している。

【0048】図13から判るように、配線52は交差しておらず、更に、CMOSトランジスタの占める面積に比べて、配線の占める面積を小さくすることができる。従って、実施の態様4の配置は、効率のよい配置といえる。なお、INPUT1及びINPUT2は、いずれも左側からゲート電極41及び42に接続しているが、INPUT1については下方及び右側から、INPUT2については上方及び右側からも接続することができる。従って、周囲の状況に応じてフレキシブルに配線でき、配管効率を向上させることができるとなる。

【0049】更に、図11と図13とを比較すると、図11のN⁺領域とP⁺領域とを交換し、GNDラインを

Vddラインに、VddラインをGNDラインに変更すれば図11の構成から図13の構成を得ることができる。従って、CMOSトランジスタの配置や配線をほとんど変更することなく、NAND及びNORという対照的な関係にある論理回路を形成することができる。

【0050】比較例2

図10の2入力NAND回路を従来の構造のNMOSトランジスタ及びPMOSトランジスタでレイアウトすると図20に示したようになる。この図より、トランジスタ自体が占める面積より、配線の占める面積が多いことが判る。更に、INPUT及びOUTPUTの配線を中心には交差が生じており、複雑な配線の形成方法が必要である。なお、図20は、概略図であり、実際にはトランジスタの大きさが異なる場合、配線が異なる場合があり得るが、基本的には前記説明と同じと考えられる。

【0051】実施の態様6

図14の3入力NAND回路を本発明のCMOSトランジスタでレイアウトした概略平面図を図15に示す。以下に、図15の3入力NAND回路の概略平面図を例にとって説明する。図15のNAND回路は、実施例1の3個のCMOSトランジスタを接続することにより形成されている。

【0052】図14では、3個のNMOSトランジスタが直列となっていることから、3個のCMOSトランジスタのN+領域であるドレイン領域S1とS2、ソース領域S3とS4とをそれぞれ対向するように配線し配線92で接続する。S1～S4以外の2つのN+領域（ソース領域S0及びドレイン領域S5）については、一方（S5）をGNDラインに接続し、他方（S0）を出力端子（OUTPUT）に接続する。

【0053】図14では、3個のPMOSトランジスタが並列となっていることから、3個のCMOSトランジスタのソース領域（P+領域、71、76及び78）をVddラインに接続し、ドレイン領域（P+領域、75、77及び79）をソース領域S0及び出力端子（OUTPUT）に接続する。図中、71～73はゲート電極、91はコンタクト、92は配線を示している。

【0054】実施の態様7

図16は、図15の3入力NAND回路の変形例であり、CMOSトランジスタをL字型に配置している。なお、図の参照番号は図15と同一内容を示している。実施の態様6及び7から判るように、CMOSトランジスタを3個用いても、周囲の状況に応じて、最も効率的な配線及び配線を選択することができる。なお、ここではNAND回路について記載しているが、NAND回路及びNOR回路の対称関係に基づいて、CMOSトランジスタが3個のNOR回路も容易にレイアウトすることができる。また、更に、これ以上の個数のCMOSトランジスタを有するNAND回路及びNOR回路についても上記方法を適用して実現することができる。また、NA

N回路とNOR回路を組み合わせたることにより、任意の論理回路を形成することも可能である。

【0055】

【発明の効果】以上説明したように、本発明によれば、構造及び製造工程を複雑にすることなく、基板浮遊効果が発生せず、しかも小面積のSOI構造のCMOSトランジスタを得ることができる。本発明のCMOSトランジスタを使用すれば、インバータ回路を始めとするCMOS論理回路において、素子数を減少させて、LSI動作の安定性の増大と面積の縮小を図ることができる。

【図面の簡単な説明】

【図1】図1(a)は本発明のCMOSトランジスタの概略平面図であり、図1(b)は図1(a)のCMOSトランジスタからゲート電極を取り除いた概略平面図である。

【図2】図1(a)のCMOSトランジスタのX-X断面図である。

【図3】図1(a)のCMOSトランジスタのY-Y断面図である。

【図4】図1(a)のCMOSトランジスタの電気特性を示すグラフである。

【図5】実施の態様1のインバータ回路の概略回路図である。

【図6】実施の態様1のインバータ回路の概略平面図である。

【図7】実施の態様2のインバータ回路の概略平面図である。

【図8】実施の態様2のインバータ回路の概略平面図である。

【図9】実施の態様3のインバータ回路の概略平面図である。

【図10】実施の態様4のインバータ回路の概略回路図である。

【図11】実施の態様4のインバータ回路の概略平面図である。

【図12】実施の態様5のインバータ回路の概略回路図である。

【図13】実施の態様5のインバータ回路の概略平面図である。

【図14】実施の態様6及び7のインバータ回路の概略回路図である。

【図15】実施の態様6のインバータ回路の概略平面図である。

【図16】実施の態様7のインバータ回路の概略平面図である。

【図17】従来のSIMON構造のトランジスタの課題の概略説明図である。

【図18】従来のCMOSトランジスタの概略平面図である。

【図19】図18のCMOSトランジスタを利用したイ

ンバータ回路の概略平面図である。

【図20】従来の2入力NANDの概略平面図である。

【符号の説明】

1、21、22、41、42、71、72、73、10

5、109 ゲート電極

2、4、107、108 ソース・ドレイン領域

3 チャネル領域

5 引き出し部

6 絶縁層

7、104 ゲート絶縁膜

8 絶縁膜

9 シリコン基板

10、11、24、26、27、30、44、45、48、50、75、77、79、81、82、85、10

2 ドレイン領域

12、13、23、25、28、29、43、46、47、49、74、76、78、80、83、84、10

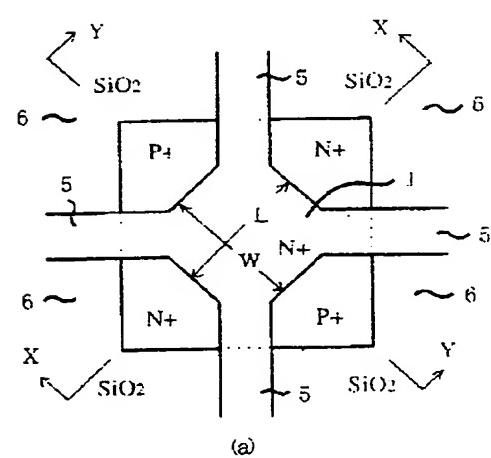
1 ソース領域

14、31、51、91、110 コンタクト

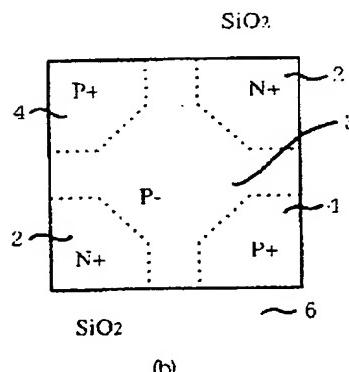
15、32、52、92、111 配線

103 P型領域

【図1】

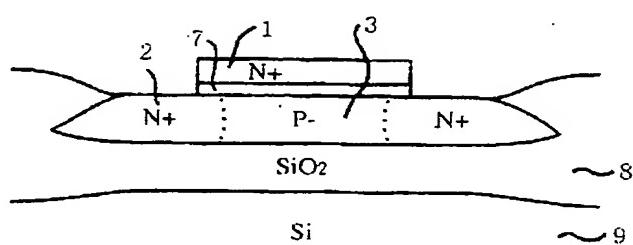


(a)



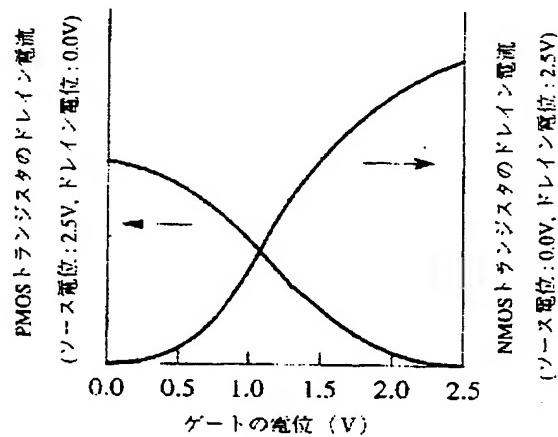
(b)

【図2】

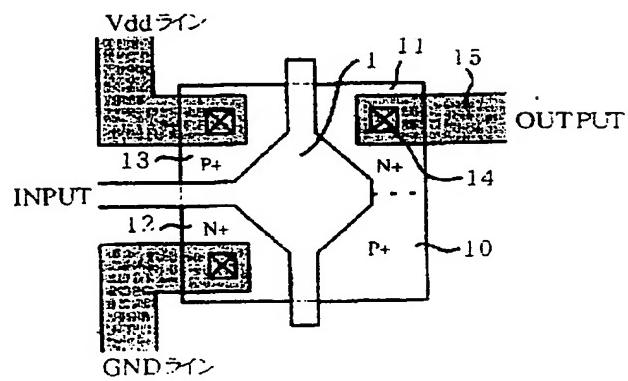


【図2】

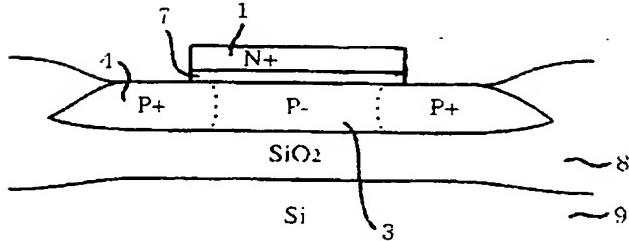
【図4】



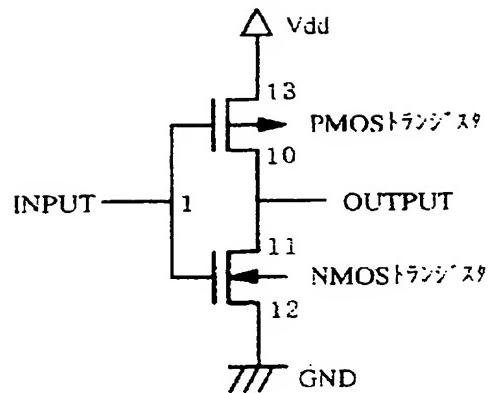
【図8】



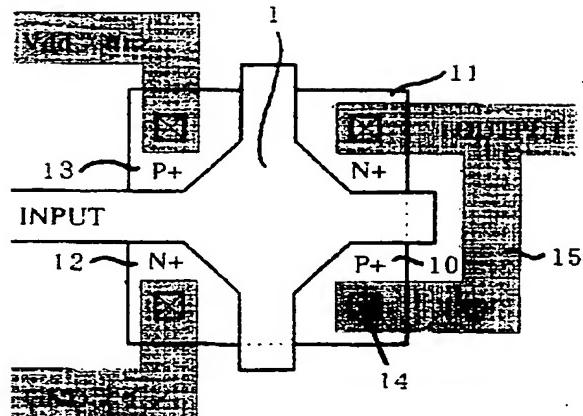
【図3】



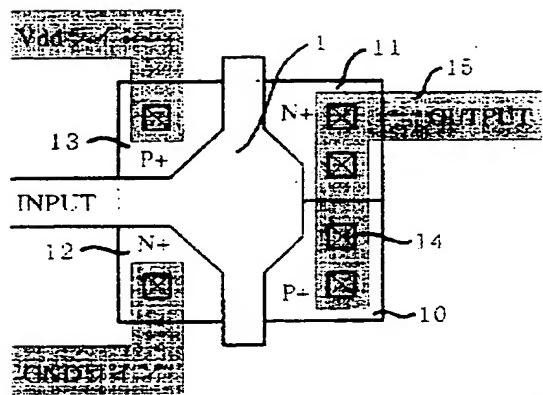
【図5】



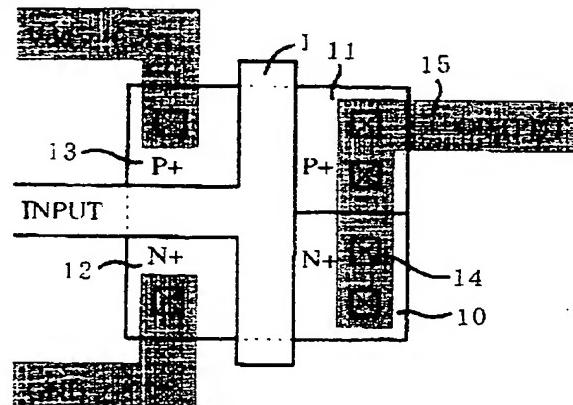
【図6】



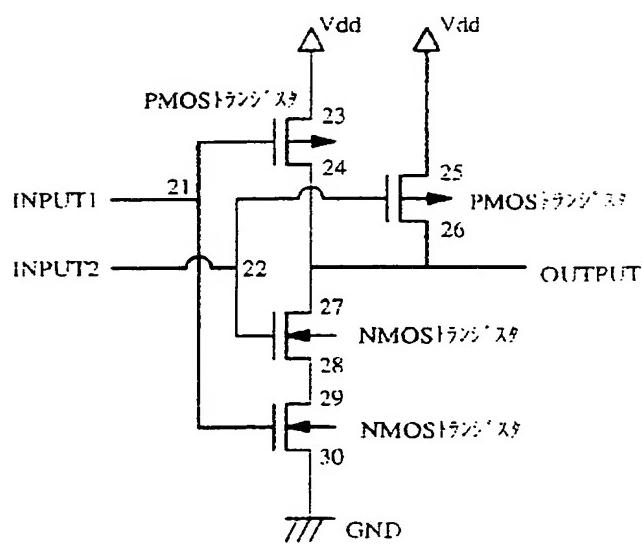
【図7】



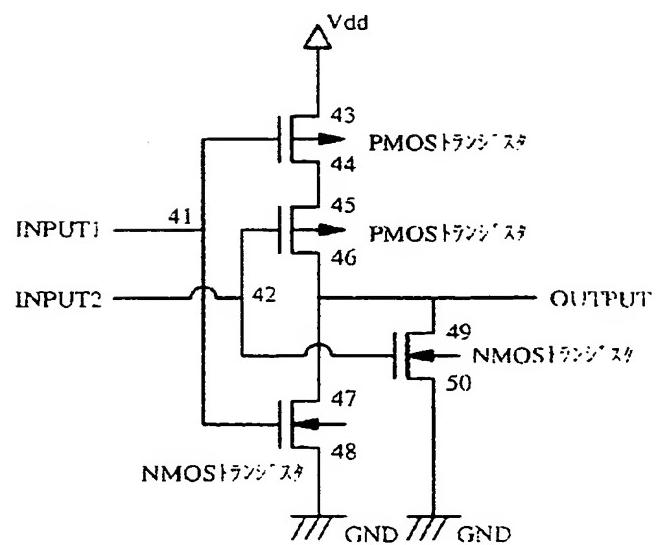
【図9】



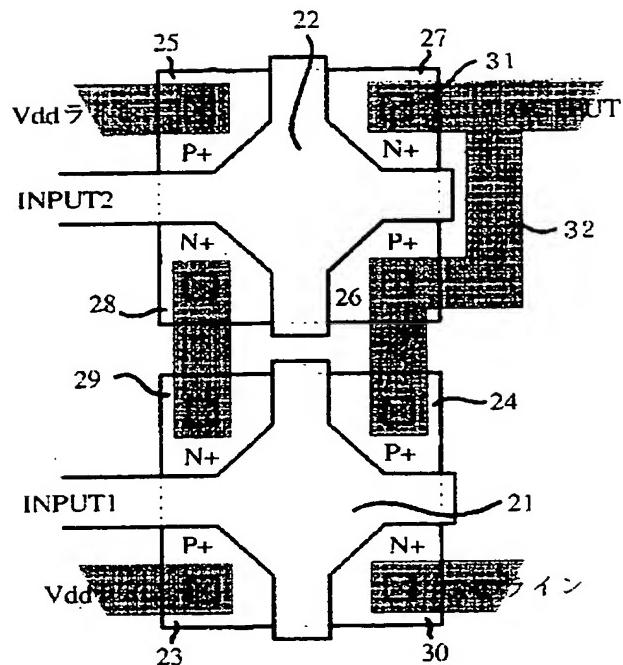
【図10】



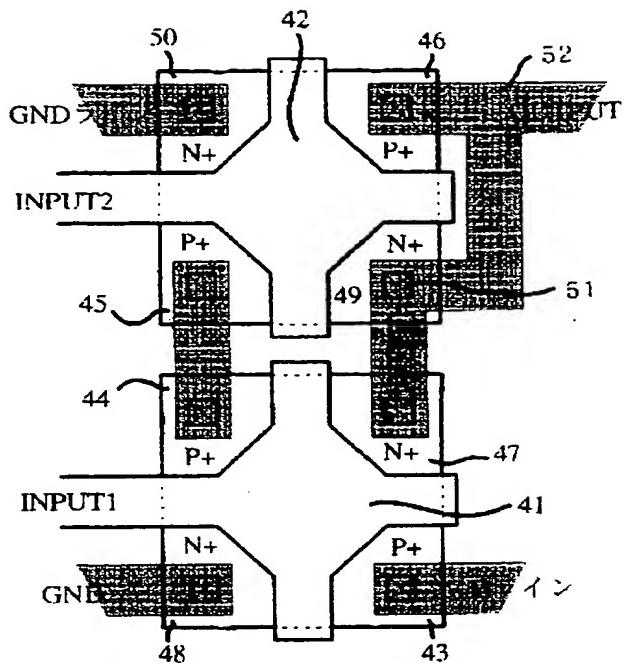
【図12】



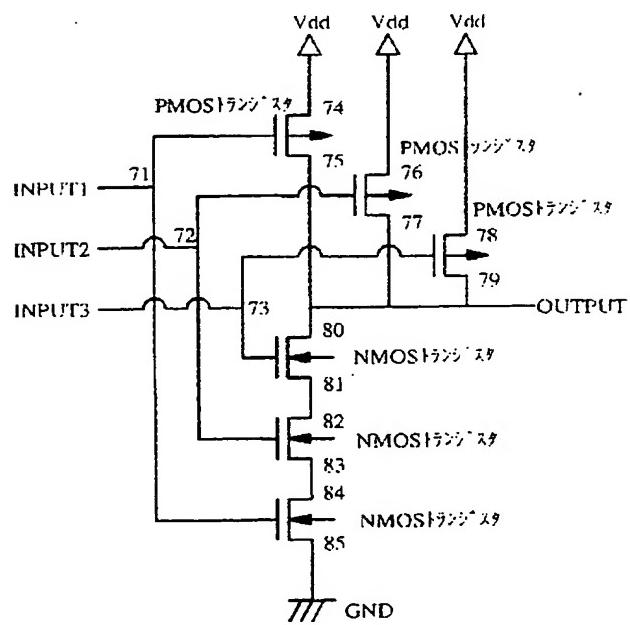
【図11】



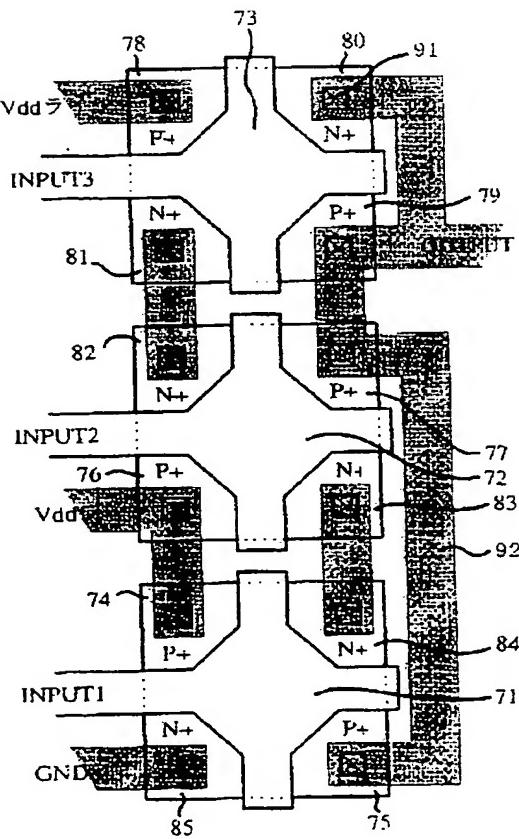
【図13】



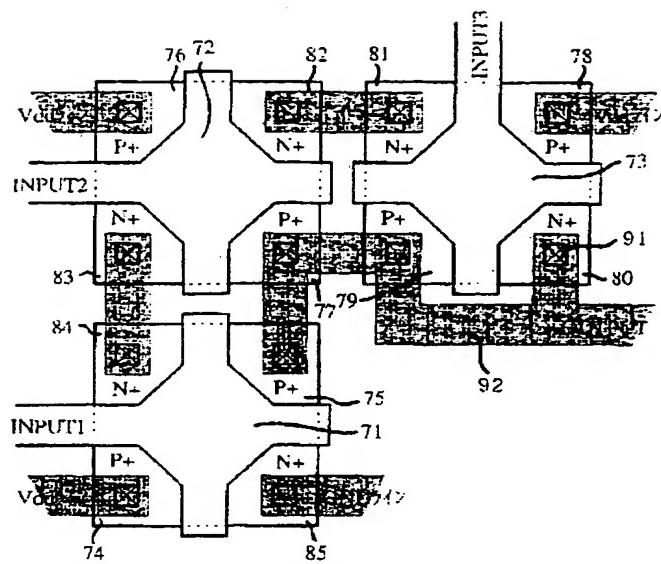
【図14】



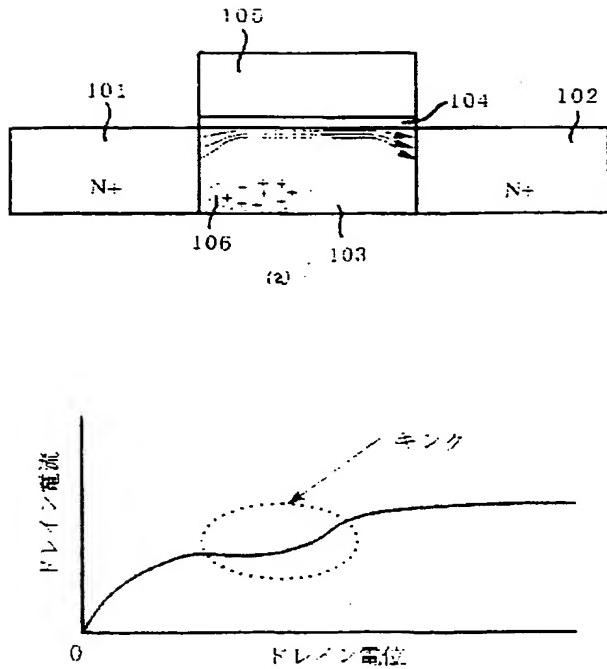
【図15】



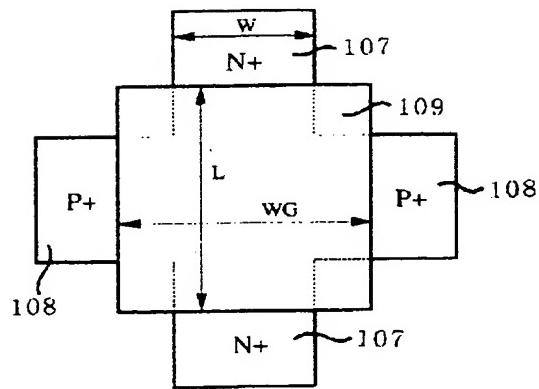
【図16】



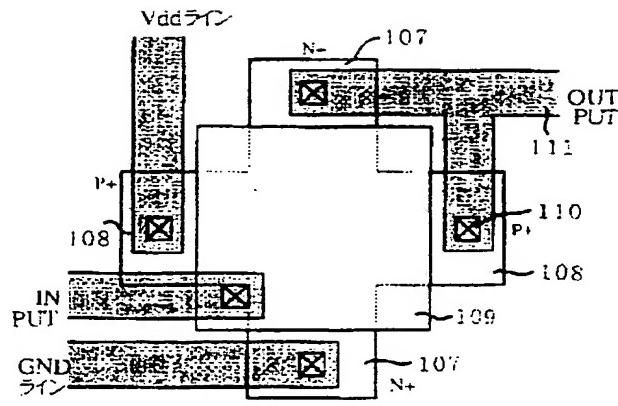
【図17】



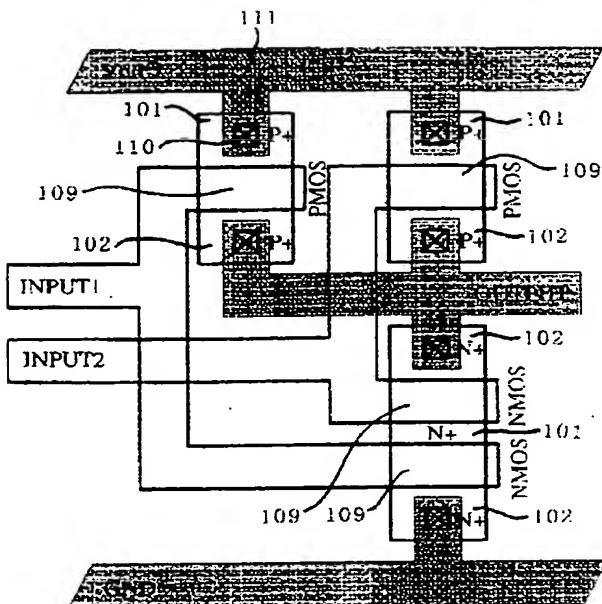
【図18】



【図19】



【図20】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.